

ОСОБЕННОСТИ АРХИТЕКТУРЫ СИНТЕЗАТОРОВ ЧАСТОТЫ ПРЯМОГО ЦИФРОВОГО СИНТЕЗА СВЧ-ДИАПАЗОНА

Одной из основных особенностей синтезаторов прямого цифрового синтеза СВЧ-диапазона является отсутствие постоянного запоминающего устройства, в котором хранятся коэффициенты синуса. Формирование гармонического сигнала осуществляется путем применения нелинейных ЦАП со сложной архитектурой. В статье рассмотрены особенности построения нелинейных ЦАП, используемых в синтезаторах DDS.

В. Макаренко

FEATURES OF ARCHITECTURE OF FREQUENCY SYNTHESIZERS DDS OF MICROWAVE RANGE

Abstract - One of the main features of the synthesizers of direct digital synthesis of long-range disorder is the absence of a ROM, which stores the coefficients of the sine. The formation of harmonic signal by applying a nonlinear DAC with a complex architecture is considered. In the article features of construction of the nonlinear DAC is used in synthesizers DDS are examined.

V. Makarenko

Частота, амплитуда и фаза сигнала, формируемого на выходе синтезатора прямого цифрового синтеза (DDS), в любой момент времени точно известны и могут быть запрограммированы. Параметры таких синтезаторов практически не зависят от температуры и от старения элементов. Синтезаторы DDS практически не подвержены температурному дрейфу и старению. Единственным элементом, который обладает свойственной аналоговым схемам нестабильностью, является ЦАП. Отличные технические характеристики и высокая скорость перестройки частоты и фазы привели к тому, что синтезаторы DDS вытесняют синтезаторы, построенные на основе системы ФАПЧ. Основные преимущества DDS синтезаторов заключаются в следующем:

- высокое разрешение по частоте и фазе
- быстрый переход на другую частоту (или фазу)
- перестройка по частоте без разрыва фазы и без выбросов.

Разрешение по частоте достигает тысячных долей герца при выходной частоте несколько десятков мегагерц, что практически недостижимо при других методах синтеза. Другой характерной особенностью синтезаторов DDS является очень высокая скорость перехода на другую частоту, которая определяется только скоростью работы цифрового интерфейса и цифровых схем, входящих в состав синтезатора. Третьей особенностью является возможность формирования модулированных и квадратурных сигналов непосредственно в процессе синтеза [1, 2].

Параметры синтезатора частоты очень важны

для аппаратуры связи. Являясь ядром системы настройки, синтезатор в основном определяет потребительские свойства аппаратуры. Как с технической, так и с экономической стороны DDS удовлетворяет большинству критериев, предъявляемых к идеальному синтезатору частоты: высокая степень интеграции, программное управление, малые габариты.

С процессами дискретизации и цифро-аналогового преобразования, которые имеют место в синтезаторах DDS, связаны и некоторые ограничения:

1. Максимальная выходная частота не может быть выше половины тактовой (на практике она еще меньше). Однако, благодаря внедрению новых технологий, максимальная тактовая частота постоянно возрастает.

2. Отдельные побочные составляющие выходного сигнала на выходе синтезатора DDS могут быть значительно больше, по сравнению с синтезаторами, построенными на основе системы ФАПЧ. Спектральная чистота выходного сигнала DDS сильно зависит от качества ЦАП.

3. Потребляемая DDS мощность практически прямо пропорциональна тактовой частоте и может достигать единиц ватт у высокочастотных синтезаторов. При высоких тактовых частотах такие синтезаторы могут оказаться непригодными для устройств с батарейным питанием.

При построении синтезатора DDS по традиционной архитектуре (рис. 1), в которой используется постоянное запоминающее устройство (ПЗУ), на каждом такте работы синтезатора в регистр RG2 записывается сумма предыдущего кода, сформиро-

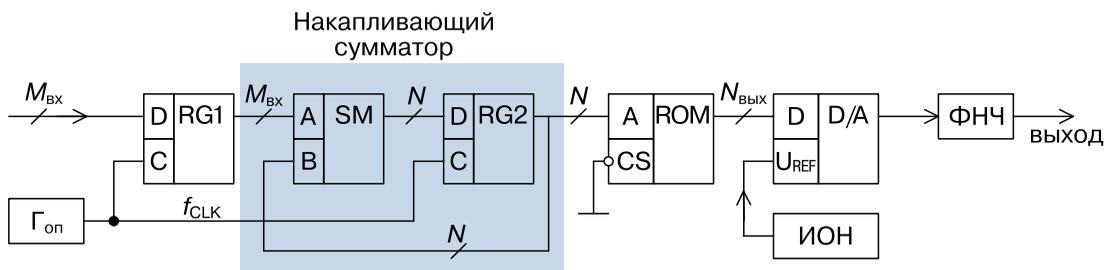


Рис. 1. Упрощенная структурная схема синтезатора DDS

ванного на его выходе и кода частоты, подаваемого на вход управления синтезатора (вход RG1). Код на выходе регистра линейно нарастает во времени. Причем шаг приращения кода зависит от величины постоянной добавки – кода частоты. Когда накапливающий сумматор используется для формирования кода фазы, его еще называют аккумулятором фазы. Выходной код аккумулятора фазы представляет собой код мгновенной фазы выходного сигнала. Постоянная добавка, которая используется при работе аккумулятора фазы, представляет собой приращение фазы за один такт работы устройства. Чем быстрее изменяется фаза во времени, тем больше частота генерируемого сигнала. Поэтому значение приращения фазы фактически является кодом выходной частоты. Если код приращения фазы равен, например, двум, то код на выходе аккумулятора будет изменяться вдвое быстрее, чем при значении кода приращения равным единице.

Код, сформированный на выходе аккумулятора фазы, является адресом ячейки постоянного запоминающего устройства (ROM), в котором хранятся коэффициенты \sin . При изменении кода адреса на выходах ROM формируются коды, соответствующие отсчетам \sin .

На входы ЦАП коды будут поступать с той же частотой что и частота изменения кода на выходе аккумулятора, но будут представлять собой не соседние, а взятые через один отсчеты функции \sin (рис. 2). Частота генерируемого сигнала при этом будет вдвое большей, а частота дискретизации останется прежней. На выходе ЦАП формируется квазигармонический сигнал, состоящий из “ступенек”. Аналоговый ФНЧ сглаживает ступеньки и на его выходе формируется гармонический сигнал.

Аккумулятор фазы работает с периодическими переполнениями, что соответствует периодическому поведению функции \sin с периодом 2π . Частота выходного сигнала рассчитывается по формуле

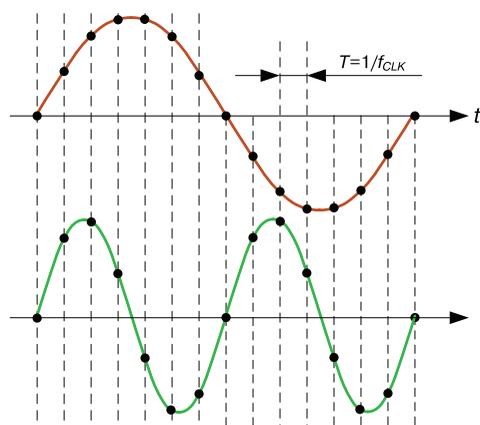


Рис. 2. Формирование сигналов различной частоты при изменении кода приращения

$$f_{\text{вых}} = M_{\text{вх}} f_{\text{CLK}} / 2^N, \tag{1}$$

где $f_{\text{вых}}$ – выходная частота; f_{CLK} – тактовая частота; $M_{\text{вх}}$ – код частоты; N – разрядность аккумулятора фазы.

Шаг перестройки частоты равен

$$\Delta f_{\text{вых}} = f_{\text{CLK}} / 2^N.$$

Например, если тактовая частота равна 25 МГц, а разрядность $N=28$, то шаг перестройки частоты составит 0,0931 Гц. Увеличивая разрядность накапливающего сумматора можно уменьшить шаг перестройки частоты.

Методы формирования модулированных квадратурных сигналов в синтезаторах DDS подробно описаны в [3].

Для примера можно привести характеристики одного из самых высокочастотных синтезаторов, выпускаемых компанией Analog Devices в 2010 году. Синтезатор AD9910 [2] имел максимальную тактовую частоту 1000 МГц, 32-разрядное управляющее слово, 14-разрядный ЦАП, SFDR при частоте выходного сигнала 200 МГц равный 87 дБ в полосе частот

0.5 МГц, потребляемую мощность 730 мВт.

По состоянию на август 2017 года наиболее высокочастотным синтезатором прямого цифрового синтеза, выпускаемым компанией Analog Devices, является AD9914 с максимальной тактовой частотой 3.5 ГГц и потребляемой мощностью около 2.4 Вт [4]. Более высокочастотный синтезатор DDS [5] имеет тактовую частоту 8.6 ГГц и, так же, как и AD9914, построен по другой архитектуре, отличающейся от приведенной на рис. 1.

Основным отличием этой архитектуры является отсутствие постоянного запоминающего устройства (ПЗУ) в котором хранятся коэффициенты формы сигнала. Функции ПЗУ в ней выполняет сегментированный синус-взвешенный ЦАП (Segmented Sine-Weighted DAC), формирующий гармонический сигнал напрямую из входного кода.

Упрощенная структурная схема DDS с использованием сегментированного синус-взвешенного ЦАП приведена на рис. 3.

Так же, как и в синтезаторе на рис. 1, выходная частота определяется соотношением (1).

Применение сегментированного синус-взвешенного ЦАП вызвано тем, что реализовать ПЗУ, работающее с тактовыми частотами несколько гигагерц, весьма сложно. В структуре DDS, приведенной на рис. 3, параметры выходного сигнала полностью определяются параметрами синус-взвешенного ЦАП.

Рассмотрим особенности архитектуры сегментированного ЦАП на примере ИМС ЦАП AD9772 [6]. Старшие пять разрядов (MSB) декодируются и управляют работой 31 токового ключа с помощью которых на выходе ЦАП старших разрядов форми-

руется 512 уровней сигнала (рис. 4). Вес каждого разряда одинаков. Пять младших разрядов управляют работой обычного двоичного ЦАП младших разрядов (LSB), который формирует 32 уровня сигнала. Выходные токи обоих ЦАП суммируются на одной нагрузке. Количество сегментов может быть и больше двух. Например, 14-разрядный КМОП ЦАП AD9772 построен с использованием трех сегментов.

Такая архитектура позволяет реализовать быстродействующие ЦАП с малым энергопотреблением на базе стандартного КМОП-процесса без использования тонкопленочных резисторов.

Сегментированные синус-взвешенные ЦАП имеют более сложную архитектуру. На рис. 5 приведена структурная схема 11-разрядного DDS без ПЗУ с 10-разрядным сегментированным ЦАП.

На рис. 5 частота смены управляющего кода обозначена как FCW. Выходной код преобразователя в дополнительный код обеспечивает формирование 1/4 периода выходного сигнала на интервале от 0 до $\pi/2$.

Старший бит аккумулятора фазы определяет знак выходного напряжения синтезатора, а два старших разряда (MSB) используются для определения квадранта выходного синусоидального сигнала.

Для достижения максимального быстродействия в схеме используется конвейерный фазовый аккумулятор (Pipeline Accumulator), функциональная схема которого приведена на рис. 6.

Приведенная структура, хотя и требует большого числа элементов, обеспечивает наиболее высокое быстродействие. Задержки сигнала, вносимые

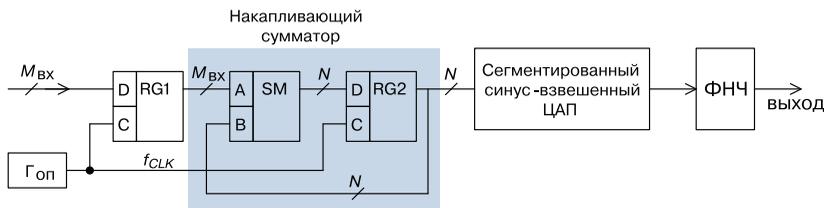


Рис. 3. Упрощенная структурная схема синтезатора DDS с использованием сегментированного синус-взвешенного ЦАП

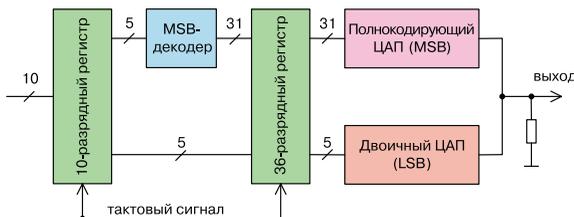


Рис. 4. Структурная схема 10-разрядного сегментированного ЦАП

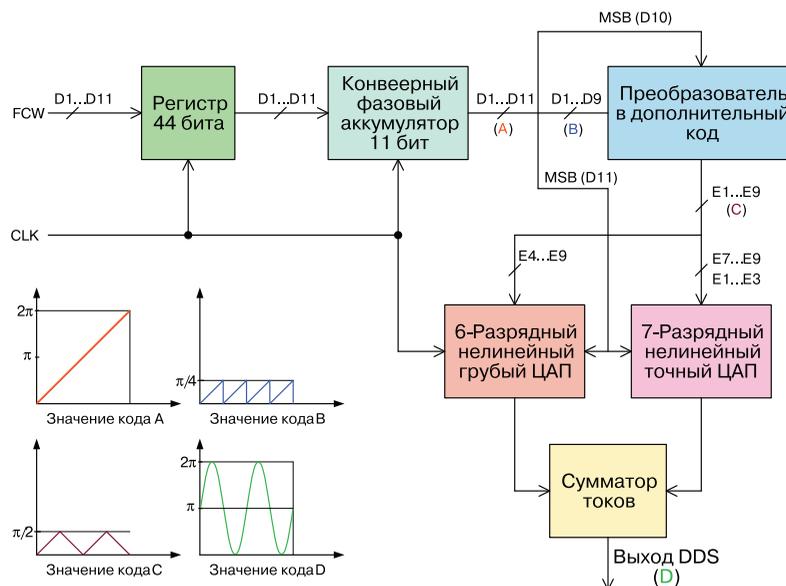


Рис. 5. Структурная схема 11-разрядного синус-взвешенного ЦАП

в каждом из разрядов аккумулятора, одинаковы.

Структурная схема сегментированного нелинейного 10-разрядного ЦАП приведена на рис. 7. Структура ЦАП напоминает структуру ПЗУ, только вместо ячеек памяти в узлах сетки, образованной шинами строк и столбцов, находятся источники тока. И если дешифраторы столбцов и строк в ПЗУ выполнены по схеме линейного двоичного дешифратора, то для ЦАП, выполняющего нелинейное преобразование, схемы этих дешифраторов значительно сложнее.

На рис. 8 приведен фрагмент преобразователя в дополнительный код и дешифратор столбцов точ-

ного ЦАП. В [5] этот дешифратор имеет название Thermometer Decoder. В зависимости от значения кода d10 преобразователь в дополнительный код сохраняет значение входного кода (при d10=0), либо инвертирует его (при d10=1).

Дешифратор столбцов точного ЦАП преобразует трехразрядный входной код в 8-разрядный выходной код в соответствии с алгоритмом, приведенном на рис. 8.

В [5] приведены результаты экспериментальных исследований, разработанного авторами работы синтезатора прямого цифрового синтеза. На рис. 9 приведена форма выходного сигнала синтезатора DDS частотой 4.2 МГц при тактовой частоте 8.6 ГГц.

Спектр выходного сигнала синтезатора при частоте выходного сигнала 4.2 МГц приведен на рис. 10,а, а при частоте сигнала 4.2958 ГГц – на рис. 10,б. Спектры измерены при частоте тактового сигнала 8.6 ГГц.

Как следует из приведенных спектров, динамический диапазон, свободный от паразитных составляющих (SFDR), выходного сигнала составляет не менее 50 дБн при выходной мощности -8.3 дБм и частоте сигнала 4.2 МГц. На максимальной выходной частоте 4.29 ГГц SFDR составляет примерно 45 дБн.

Предложенный в [5] синтезатор позволяет формировать на выходе ЛЧМ- и фазоманипулированные сигналы.

Из приведенных зависимостей можно сделать вывод о том, что такие синтезаторы пригодны для использования в системах связи и радиолокационных системах.

Более подробную информацию о способах по-

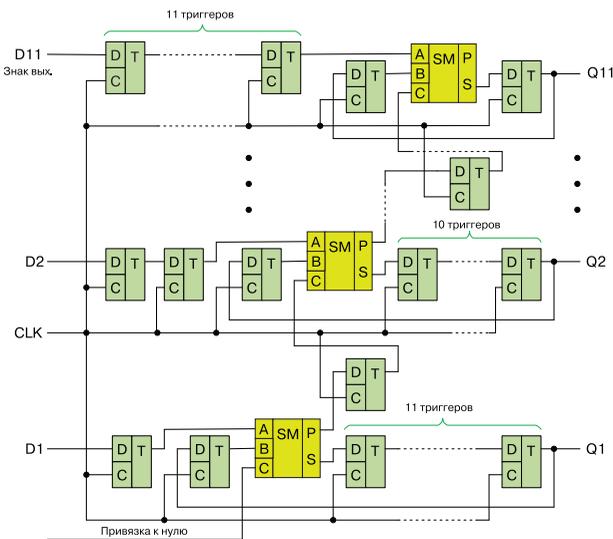


Рис. 6. Функциональная схема конвейерного фазового аккумулятора

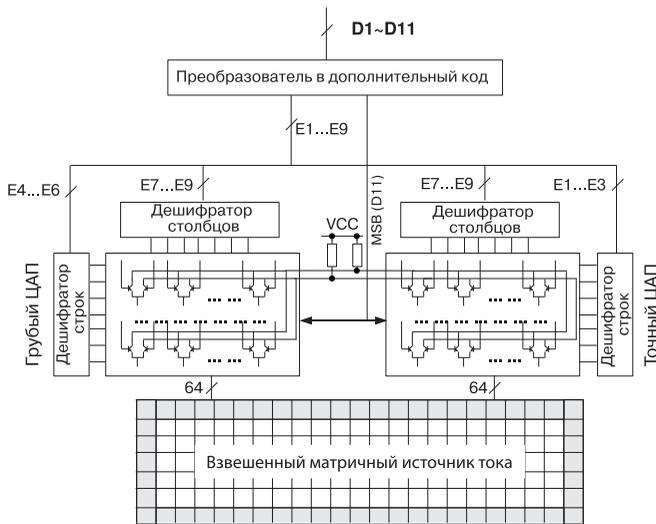


Рис. 7. Структурная схема сегментированного нелинейного 10-разрядного ЦАП

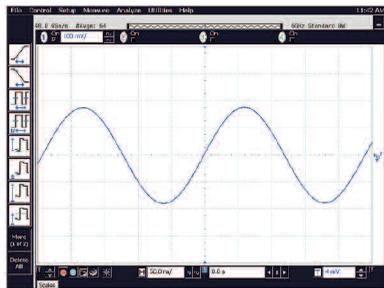


Рис. 9. форма выходного сигнала синтезатора DDS частотой 4.2 МГц при тактовой частоте 8.6 ГГц

строения синтезаторов прямого цифрового синтеза СВЧ-диапазона можно найти в [5].

ЛИТЕРАТУРА

1. Макаренко В. Синтезаторы частоты прямого цифрового синтеза / В. Макаренко // Электронные компоненты и системы. – 2004. – № 1. – С. 3 – 7.
2. Макаренко В. Компоненты для построения беспроводных устройств связи, часть 7. Синтезаторы частоты прямого цифрового синтеза / В. Макаренко // Электронные компоненты и системы. – 2010. – № 1. – С. 34 – 46.
3. Vankka J. Direct Digital Synthesizers: Theory, Design and Applications / Helsinki University of Technology, Department of Electrical and Communications Engineering // Dissertation for the degree of Doctor of Science. November 2000. – 208 p.
4. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9914.pdf>.
5. Geng X., Dai F., Irwin D., Fellow L., Jaeger R. An 11-Bit 8.6 GHz Direct Digital Synthesizer MMIC With 10-

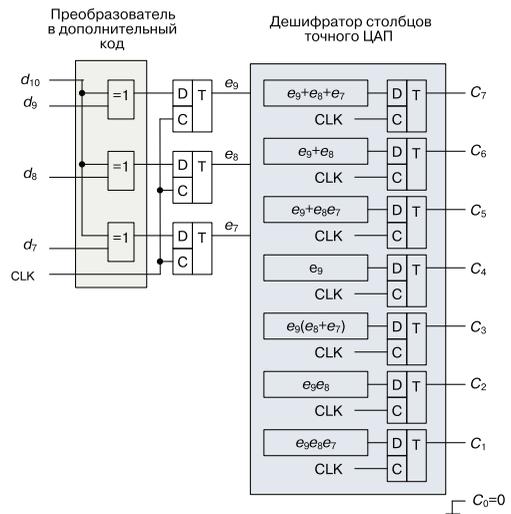
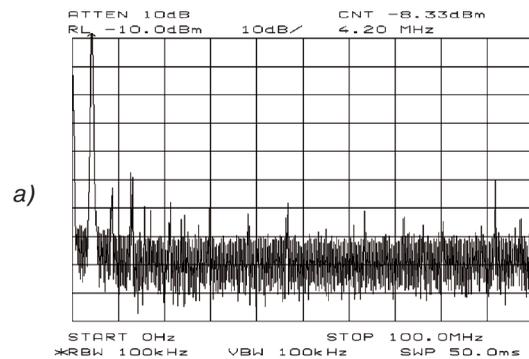
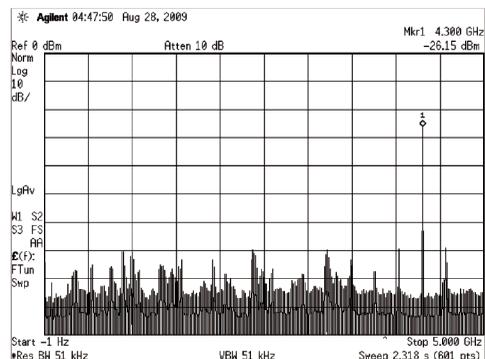


Рис. 8. фрагмент преобразователя в дополнительный код и дешифратор столбцов точного ЦАП



а)



б)

Рис. 10. Спектр выходного сигнала синтезатора при частоте выходного сигнала 4.2 МГц (а) и при частоте 4.2958 ГГц (б)

Bit Segmented Sine-Weighted DAC / IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 45, NO. 2, FEBRUARY 2010, pp. 300-313.

6. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9772A.pdf>.