

НОВЫЕ СВЕРХБЫСТРОДЕЙСТВУЮЩИЕ АЦП ANALOG DEVICES

NEW ULTRAFAST ADC ANALOG DEVICES

В статье приведена краткая информация о новых сверхбыстродействующих двухканальных АЦП AD9695 и AD9689, выпускаемых компанией Analog Devices. Максимальная частота дискретизации достигает 2.6 ГГц. В АЦП реализована архитектура DDC, позволяющая осуществлять дискретизацию входных сигналов с частотой до 5 ГГц благодаря наличию программируемых цифровых фильтров и понижающих преобразователей частоты. Для испытаний и программирования АЦП AD9695 компанией Analog Devices предлагается отладочная плата и программное обеспечение.

В. Макаренко

Abstract - The article gives a brief description of the new ultrafast two-channel ADCs AD9695 and AD9689, manufactured by Analog Devices. The maximum sampling rate reaches 2.6 GHz. The ADC implements the DDC architecture, which allows the input signals to be sampled at a frequency of up to 5 GHz due to the presence of programmable digital filters and downconverters. For testing and programming of the AD9695 ADC, Analog Devices offers a motherboard and software.

V. Makarenko

Компания Analog Devices, один из ведущих производителей интегральных схем для аналого-цифрового и цифро-аналогового преобразования, продолжает расширять ряд продукции, предназначенной для использования в высокоскоростных системах связи, радиолокационных станциях и измерительных устройствах. В третьем квартале 2017 года она выпустила две новые модели АЦП – AD9695 и AD9689 [1, 2].

Сверхвысокочастотные АЦП широко используются в цифровых осциллографах, тестовых измерительных приборах, промышленных АЦП, автоматизированном тестовом оборудовании для микросхем и приборов, а также радарных системах и сканерах, в медицинском диагностическом оборудовании, в приемниках базовых станций мобильной связи (GSM/EDGE, CDMA2000, UMTS, LTE и WiMax), в широкодиапазонных цифровых приемниках и сканерах. Находят применение высокочастотные АЦП и для цифровой коррекции предискажений ВЧ-сигналов.

Самый быстродействующий АЦП AD9689 двояканный 14-разрядный, с частотой дискретизации 2.6 ГГц, предназначен для применения в трактах промежуточной или высокой частоты. Рассеиваемая мощность не превышает 1.55 Вт/канал, что в два раза лучше, чем у существующих до этого решений. Эти факторы позволяют расширить сферу применения этих АЦП.

Для построения систем с более низкой частотой дискретизации выпущен двояканный 14-разрядный

АЦП AD9695 с частотой дискретизации до 1.3 ГГц и одноканальный 14-разрядный АЦП AD9697 с частотой дискретизации 1.3 ГГц, которые имеют значительно более низкую потребляемую мощность.

Новые преобразователи совместимы по выводам с выпускаемыми ранее ИМС, что позволяет использовать их для обновления и модернизации существующих устройств. Все три АЦП преобразователя содержат интерфейсы JESD204B для эффективного и высокоскоростного соединения с FPGA и имеют одинаковую конфигурацию и адресацию регистров, поэтому их можно использовать на нескольких платформах с минимальными затратами по перепрограммированию. Для совместного использования с новыми АЦП компанией Analog Devices выпущены быстродействующие цифро-аналоговые преобразователи AD9172 и AD9162.

Динамический диапазон при наивысшей частоте дискретизации (SFDR) для AD9689 составляет 64 дБ.

Рассмотрим более подробно структуру и основные характеристики самого быстродействующего АЦП AD9689 [1], функциональная схема которого приведена на рис. 1.

Преобразователь содержит двухканальный буферный усилитель (BUFFER) и два 14-разрядных АЦП (ADC CORE). Программируемый пороговый детектор (FAST DETECT) позволяет осуществлять мониторинг уровня входящего сигнала по состоянию контрольного бита выходного регистра 0x0245. Если входной уровень превышает запрограммированный порог, то, благодаря малому времени за-

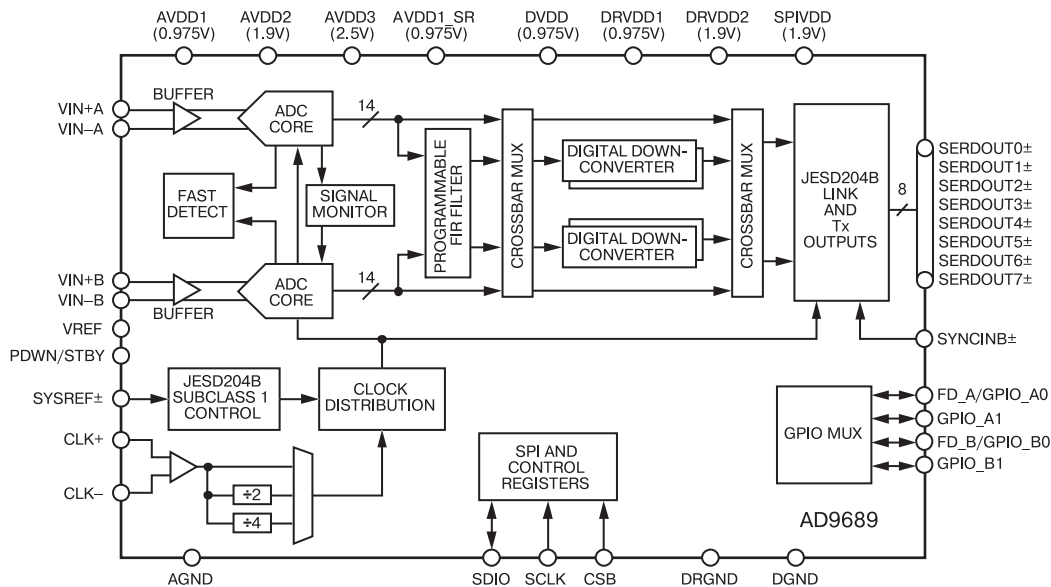


Рис. 1. Функциональная схема АЦП AD9689

паздывания информации о превышении порога, пользователь может быстро уменьшить коэффициент усиления системы, чтобы избежать перегрузки АЦП по входу.

Блок контроля выходного сигнала АЦП (SIGNAL MONITORING) обеспечивает дополнительную информацию об оцифрованном сигнале.

Пользователь может настроить вывод данных через последовательный высокоскоростной интерфейс класса 1 JESD204B 1 (в зависимости от полосы частот полезного сигнала) в одной из четырех

возможных конфигураций: передача по одной, двум, четырем или восьми дифференциальным CML-парам проводов в зависимости от конфигурации DDC и допустимой скорости приема.

Сигналы на входы JESD204B поступают через программируемые цифровые фильтры (PROGRAMMABLE FIR FILTER) и цифровые понижающие преобразователи напряжения, реализуя архитектуру DDC (DIGITAL DOWNCONVERTER).

Обобщенная структура тракта приема с DDC-архитектурой приведена на рис. 2.

¹ При возрастании скоростей преобразования АЦП и ЦАП до 1 Гбит/с для передачи скоростных потоков данных стали использоваться дифференциальные сигналы и последовательные интерфейсы. Это позволило не только увеличить скорость передачи, но и оптимизировать пространство, занимаемое шиной данных преобразователей на печатной плате. Первый вариант стандарта JESD204A был ориентирован на организацию высокоскоростной передачи данных между преобразователями (ЦАП или АЦП) и устройствами обработки (DSP, ASIC, FPGA). В первой версии стандарта для передачи скоростного потока можно было использовать от 1 до 2 дифференциальных пар, обеспечивающих максимальную скорость передачи информации 3.125 Гбит/с.

Уровни выходных дифференциальных сигналов, использующих самосинхронизирующиеся коды, соответствуют уровням CML. В зависимости

от режима могли использоваться одна или две выходные линии, что давало определенную свободу выбора при трассировке шины. Для улучшения надежности передачи за счет высокой устойчивости синхронизации данных в потоке стали использоваться скремблирование и избыточное кодирование 8b10b. Это позволило исключить из последовательных потоков длинные последовательности нулей или единиц и улучшить выделение сигнала битовой синхронизации.

Вторая версия стандарта JESD204B появилась в 2011 году. Основным отличием стала возможность использовать большее число линий дифференциальных сигналов для повышения скорости передачи информации до 6.25 и 12.5 Гбит/с.

Второе нововведение касалось возможности введения глобальной синхронизации нескольких потоков JESD204B от различных источников за счет введения мастера опорной частоты.

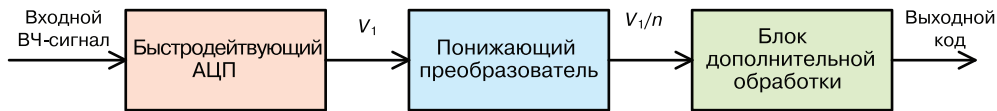


Рис. 2. Структура приемного тракта радиоприемника с архитектурой DDC

Входной высокочастотный сигнал преобразуется в цифровой код в быстродействующем АЦП. При частоте дискретизации 2.6 ГГц верхняя частота в спектре входного сигнала не должна превышать 1.2 ГГц. При такой частоте выборки скорость потока на выходе АЦП будет составлять 2.6 Гбит/с. В то же время зачастую необходимо обрабатывать входной сигнал в узкой полосе частот (например, в полосе 20 МГц). Естественно желание снизить скорость потока, учитывая, что ширина полосы составляет всего 20 МГц. Для этих целей и служит понижающий преобразователь, который переносит выбранную полосу частот в низкочастотную область. Блок дополнительной обработки служит либо для демодуляции принятого сообщения, либо для выполнения каких то дополнительных действий.

В ИМС AD9689 используется 4 цифровых понижающих преобразователя, а требуемая полоса частот выбирается с помощью программируемого пользователем цифрового фильтра PROGRAMMABLE FIR FILTER (рис. 3).

На выходах АЦП формируются квадратурные составляющие оцифрованного сигнала I/Q, которые поступают на входы программируемого цифрового фильтра и на мультиплексор, распределяющий входной поток данных от АЦП и цифрового фильтра между четырьмя понижающими преобразователями DDC0...DDC3, на выходах которых формируются потоки данных I/Q-составляющих сигнала с более низкой скоростью, чем на его входе.

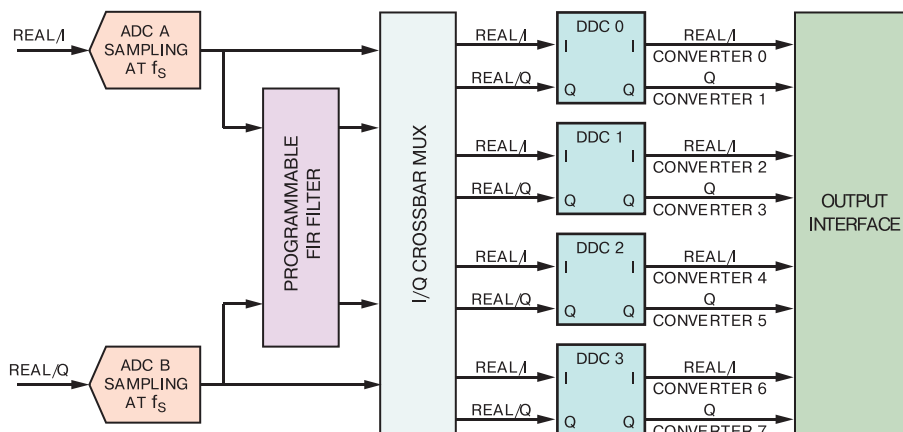


Рис. 3. Структура понижающего преобразователя ИМС AD9689

Функциональная схема понижающего преобразователя, используемого в AD9689, приведена на рис. 4.

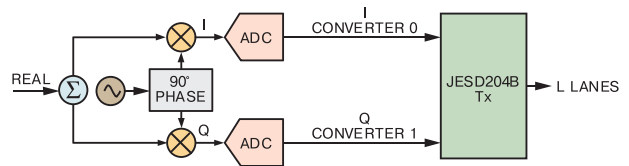


Рис. 4. Функциональная схема квадратурного понижающего преобразователя, используемого в АЦП AD9689

Выходные сигналы преобразователей через интерфейс JESD204B поступают на выходы АЦП.

Основные параметры АЦП:

- число разрядов 14
- эффективное число разрядов при частоте входного сигнала $f_{\text{вх}} = 900$ МГц не менее 9.8, а при $f_{\text{вх}} = 5530$ МГц – не менее 7.9
- диапазон входных напряжений 1.1...2 В (п-п)
- максимальная частота входного сигнала 5 ГГц
- максимальная скорость преобразования 2700 Мвыборок/с
- интерфейс JESD204B (подкласс 1) – поддержка скорости передачи данных до 16 Гбит/с на полосу пропускания
- спектральная плотность шума
 - ◆ -152 дБ/Гц при $f_d = 2.56$ ГГц и полной шкале $U_{\text{вх}} = 1.7$ В (п-п)
 - ◆ -154 дБ/Гц при $f_d = 2.56$ ГГц и полной шкале $U_{\text{вх}} = 2.0$ В (п-п)

- ◆ -154.2 дБ/Гц при $f_d = 2.0$ ГГц и полной шкале
- $U_{вх} = 1.7$ В (п-п)
- ◆ -155.3 дБ/Гц при $f_d = 2.0$ ГГц и полной шкале
- $U_{вх} = 2.0$ В (п-п)
- потребляемая мощность 1,55 Вт на канал при $f_d = 2.56$ ГГц (настройки по умолчанию)
- отношение сигнал/шум
 - ◆ 63.7 дБ ($f_d = 2.0$ ГГц)
 - ◆ 61.3 дБ ($f_d = 2.6$ ГГц)
- уровень паразитных составляющих за исключением второй и третьей гармоник при $f_{вх} = 900$ МГц не более -98 дБ, а при $f_{вх} = 5530$ МГц – не более -82 дБ
 - интермодуляционные искажения при уровне входного сигнала -8 дБ и входных сигналах с частотами 1841 и 1846 МГц не более -72 дБ
 - переходное затухание между каналами не менее 90 дБ
 - длительность тактовых импульсов 185.185 пс
 - джиттер тактовых импульсов не более 55 фс
 - апертурное время задержки не более 250 пс (рис. 5)
 - программируемый коэффициент децимации
 - поддержка скорости считывания через интерфейс SPI с частотой до 50 МГц и записи с частотой

до 100 МГц

- встроенная система дитеринга (dither) **
- диапазон рабочих температур 40...85 °С.

На рис. 6 приведены спектры тонального сигнала частотой 905 МГц и комбинационных искажений при двухтональном входном сигнале 1841 и 1846 МГц на выходе АЦП при частоте дискретизации 2 ГГц. Как следует из приведенных графиков уровни дискретных комбинационных составляющих не превышают -75 дБ. В [2] можно найти множество графиков, иллюстрирующих параметры АЦП при различных значениях уровня и частоты входного сигнала, частоты дискретизации, тока буферных каскадов и других параметров.

На рис. 7 приведены графики зависимости уровня второй (рис. 7,а) и третьей (рис. 7,б) гармоники входного сигнала от его частоты при различных значениях тока буферного каскада.

В [2] приведено подробное описание особенностей каждого из узлов АЦП, рекомендованные схемы подключения входных цепей (рис. 8), сигналов синхронизации, особенности программирования режимов работы АЦП. Конечно, информацию из документа объемом 135 страниц невозможно пере-

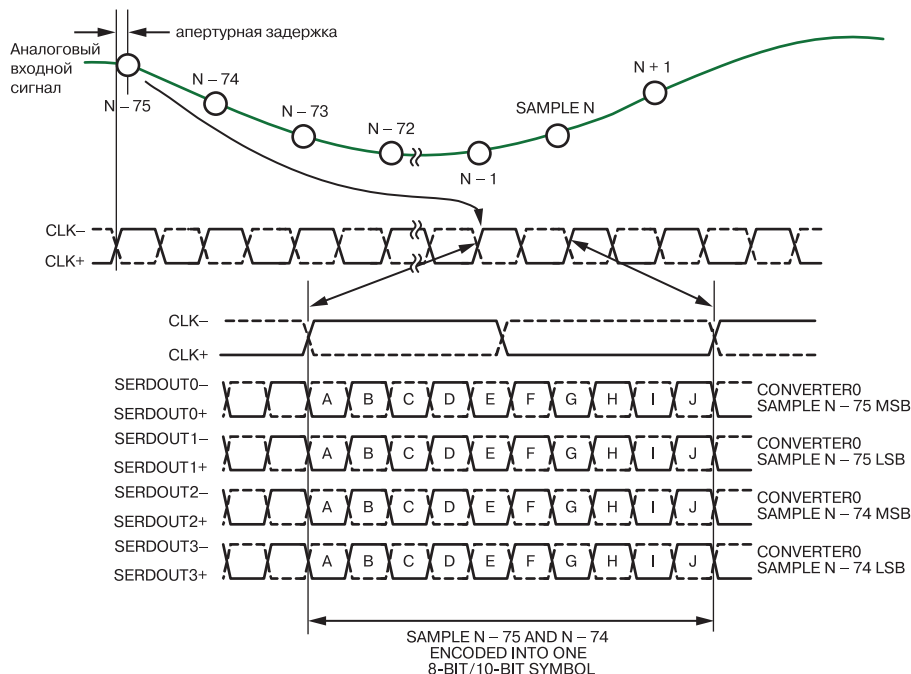
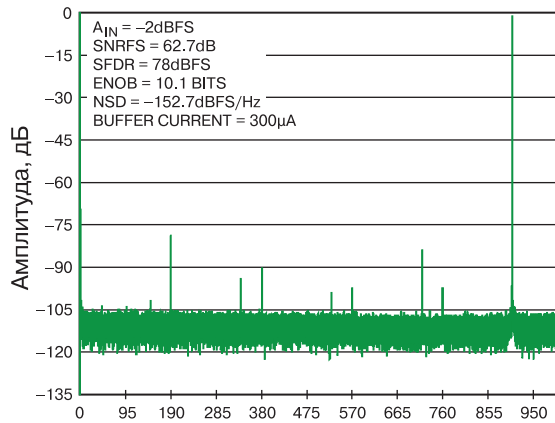


Рис. 5. Временные диаграммы работы АЦП

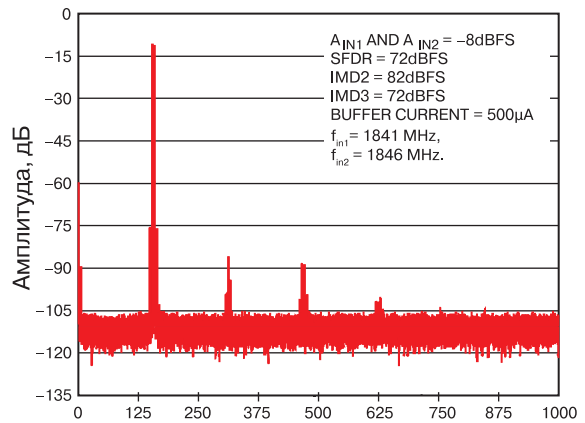
* Где дБ это децибелы полной шкалы (dB full scale)

** Применяется при цифровой обработке сигналов для уменьшения шумов квантования, для чего во входной сигнал добавляется шумовой сигнал со специально подобранным спектром, изменяющийся по псевдо-случайному закону.



Частота входного сигнала, МГц

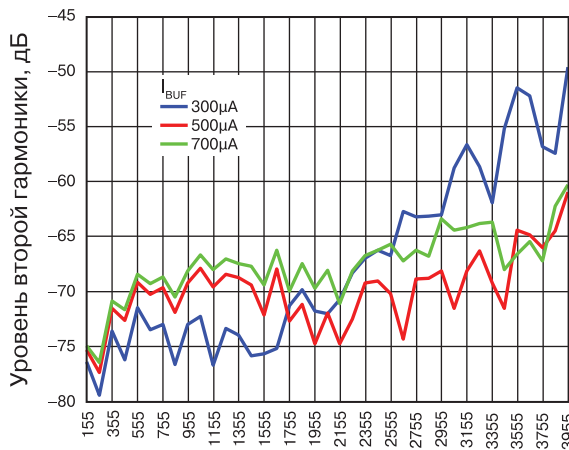
а)



Частота входного сигнала, МГц

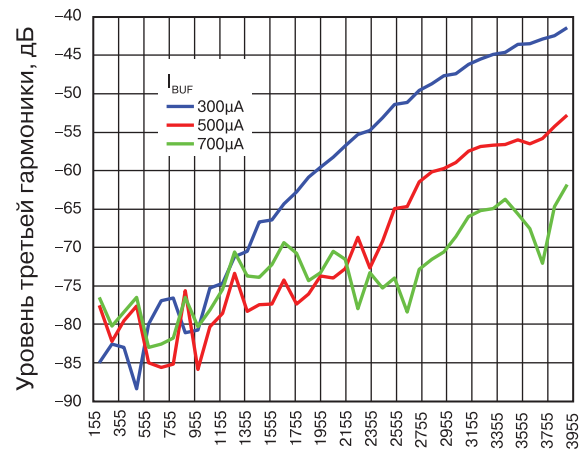
б)

Рис. 6. Спектры тонального сигнала частотой 905 МГц (а) и комбинационных искажений при двухтональном входном сигнале 1841 и 1846 МГц (б) на выходе АЦП



Частота входного сигнала, МГц

а)



Частота входного сигнала, МГц

б)

Рис. 7. Зависимости уровня второй (а) и третьей (б) гармоник входного сигнала от его частоты при различных значениях тока буферного каскада

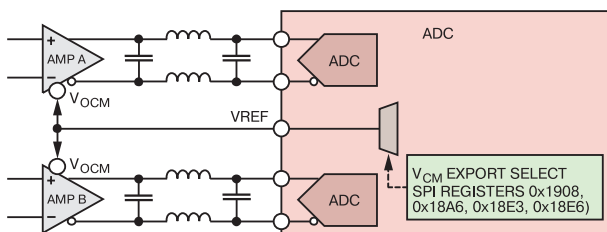


Рис. 8. Рекомендованная схема включения входных цепей АЦП

дать даже в сжатом виде и для получения более полной информации необходимо знакомиться с datasheet.

ИМС AD9695 отличается от рассмотренного АЦП по частоте дискретизации и максимальной частоте

входного сигнала в два раза при сохранении такой же архитектуры. Максимальная частота дискретизации составляет 1.3 ГГц, а максимальная частота входного сигнала 2 ГГц.

Для программирования и тестовой проверки АЦП AD9695 компания Analog Devices предлагает отладочную плату EVAL-AD9695 [3], ее подробное описание [4], программное обеспечение ACE 1.7.2593.1064 [5] для программирования и отладки и его описание [6].

Внешний вид EVAL-AD9695 приведен на рис. 9. Программное обеспечение позволяет работать и с другими отладочными платами АЦП, выпускаемыми компанией. Для этого on-line доступны плагины, которые можно свободно загрузить с сайта компании Analog Devices.

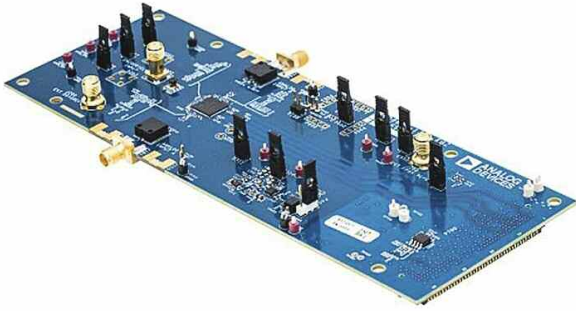


Рис. 9. Внешний вид испытательной платы EVAL-AD9695

Более подробную информацию о новых АЦП можно найти в [1, 2] и на сайте компании www.analog.com.

ЛИТЕРАТУРА

1. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9695.pdf>.
2. <http://www.analog.com/media/en/technical-documentation/data-sheets/AD9689.pdf>.
3. <http://www.analog.com/en/design-center/evaluation-hardware-and-software/evaluation-boards-kits/EVAL-AD9695.html>.
4. <https://wiki.analog.com/resources/eval/ad9695-1300ebz>.
5. http://swdownloads.analog.com/ACE/ACEInstall_1.7.2593.1064.exe.
6. http://swdownloads.analog.com/ACE/ACE_User_Manual_rev3.pdf.



ПЕЧАТНЫЕ ПЛАТЫ

■ ПРОИЗВОДСТВО

VD MAIS – крупнейший поставщик печатных плат на рынке Украины

7 аргументов в пользу печатных плат, поставляемых VD MAIS:

- принцип "все из одних рук"
- стабильное положение фирмы на рынке печатных плат
- высокая квалификация специалистов
- выбор проверенных фирм-изготовителей в зависимости от специфики заказа
- техническое сопровождение проекта при SMD-монтаже
- минимизация цен за счет объединения заказов
- сертификация систем экологического менеджмента и менеджмента качества фирмы согласно требованиям стандартов ISO 9001:2015, ISO 14001:2015, ISO/TS 16949:2009 и ISO 13485:2003
- предоставление документации по выходному контролю печатных плат

VD MAIS
PCB Professionally

тел.: (044) 220-0101, (057) 719-6718, (0562) 319-128, (062) 385-4947, (032) 245-5478,
(095) 274-6897, (048) 734-1954, info@vdmiais.ua, www.vdmiais.ua