

ПРОГРАМА МОДЕЛЮВАННЯ АНАЛОГОВИХ ТА ЦИФРОВИХ ПРИСТРОЇВ QSPICE, частина 4

QSPICE IS A FREE PROGRAM FOR SIMULATING ANALOG AND DIGITAL DEVICES, part 4

У статті наведена коротка інформація про цифрові та аналого-цифрові елементи та правила роботи з ними у безкоштовній програмі моделювання аналогових та цифрових пристроїв QSPICE від компанії Qorvo.

Abstract – The article provides brief information about digital and analog-to-digital elements and the rules for working with them in the free analog and digital device modeling program QSPICE from Qorvo.

V. Макаренко

V. Makarenko

У четвертій частині статті розглянемо бібліотеки цифрових елементів QSPICE та приклади їх використання. Цифрові елементи відносяться типу пристроїв Γ [1]. Хоча основне призначення програми QSPICE – це моделювання аналогових пристроїв різного призначення та пристроїв для перетворення енергії, у ній є можливість використати моделі найпростіших цифрових елементів та пристроїв. Окрім цього програма містить декілька елементів для моделювання аналого-цифрових схем. Перелік доступних елементів наведений нижче.

Цифрові та аналого-цифрові елементи програми QSPICE:

- INV – інвертор
- AND – логічний елемент I (від 2 до 5 входів, з інверсією та без інверсії, з одним або протифазними виходами)
- OR – логічний елемент АБО (від 2 до 4 входів, з інверсією та без інверсії, з одним або протифазними виходами)
- XOR – сума за модулем 2 (логічний елемент виключне АБО, від 2 до 4 входів, з інверсією та без інверсії, з одним або протифазними виходами)
- BUF – буферний елемент без ынверсьь та буферний каскад з парафазними виходами
- Tri-state Buffer w/ Complementary Outputs – буферний елемент з трьома станами та парафазними виходами
- SR-FLOP – тригер типу RS
- T-FLOP – тригер типу T (лічильний тригер)
- D-FLOP – тригер типу D
- JK-FLOP – тригер типу JK
- Compares the Word X with Word Y – цифровий компаратор 16-розрядних кодів
- DeMuxmultiplesor – демультіплексор 4×16
- 16 to 1 Multiplexer – мультіплексор 16×1

- EXTOSC – генератор, з частотою запрограмованою зовнішнім резистором
- HMITT – тригер Шмітта
- MONOSTABLE – одновібратор з повторним запуском
- DAC – 8-розрядний цифро-аналоговий перетворювач.

Як впливає з цього переліку у складі бібліотек відсутні лічильники, регістри, суматори кодів та інші логічні елементи, що мають більш складну структуру. До того ж, всі елементи мають позначення у стандарті ANSI (Американського інституту стандартів), що ще додає незручностей. Окрім того, до кожного елементу необхідно підводити напругу живлення, в той час коли у програмах моделювання Orcad, Altium Designer, Multisim достатньо розмістити значок напруги живлення на робочому аркуші і всі елементи автоматично отримують живлення.

Перелічені особливості складу бібліотек та встановлення параметрів логічних елементів свідчать про те, що програма орієнована на моделювання аналогових та імпульсних схем. А цифрові схеми можуть біти використані для формування невеликих вузлів (наприклад, для управління силовими ключами).

Параметри логічних елементів задаються з використанням синтаксису:

$\$nnn$ VDD VSS Q \bar{Q} A B C D E $\$ \$ \$ \$ \$ \$ \$ \$ \$ \$$ AND [INSTANCE PARAMETERS],

де:

- VDD – позитивна напруга живлення
- VSS – від'ємна напруга живлення
- Q – $Q = A \cdot B \cdot C \cdot D \cdot E$
- \bar{Q} – інверсний вихід
- INSTANCE PARAMETERS – параметри пристрою.

Instance Parameters логічного елементу:

- CAPVDD – ємність між виходом та проводом живлення Vdd (по замовчуванню 0 Ф)
- CAPVSS – ємність між виходом та проводом живлення Vss (по замовчуванню 0 Ф)
- IC – початковий стан мікросхеми
- M – кількість паралельних пристроїв (по замовчуванню 1)
- REF – пороговий рівень (по замовчуванню $(V_{dd} + V_{ss})/2$)
- RSRC – опір між Vdd і виходом при низькому рівні вихідного сигналу (він же ROUT по замовчуванню 100 Ом)
- RSINK – опір між Vss при високому рівні вихідного сигналу (по замовчуванню дорівнює RSRC)
- TD – затримка (вона ж TD1 по замовчуванню 0)
- TD2 – асиметрична затримка (по замовчуванню дорівнює TD)
- TEMP – температура корпусу мікросхеми (по замовчуванню 27 °C)
- TFALL – час спаду (по замовчуванню 0 с)
- TRISE – час наростання (по замовчуванню 0 с)
- TTOL – допуск за часом (по замовчуванню дорівнює 1 мкс)
- UVLO – мінімальна напруга Vdd-Vss для роботи (по замовчуванню 0 В)
- ZMULT – помножувач повного опору при зміщенні наполовину (по замовчуванню 1).

На рис. 1 наведена модель для ілюстрації роботи логічного елементу I з чотирма входами.

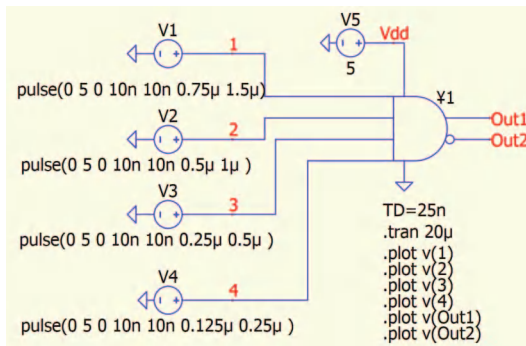


Рис. 1. Модель для ілюстрації роботи логічного елементу I з чотирма входами

В параметрах вхідних сигналів, формуємих генераторами V1...V4, тривалість фронту і спаду встановлені по 10 нс, а тривалість фронту і спаду логічного елемента TD задана рівною 25 нс. Часові діаграми вхідних та вихідних сигналів логічного елементу I наведені на рис. 2.

По замовчуванню тривалість затримки (а фактично і тривалість фронту та спаду) логічного еле-

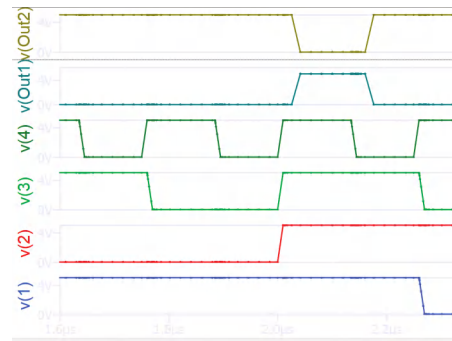


Рис. 2. Часові діаграми вхідних та вихідних сигналів логічного елементу I

менту дорівнює 0, що відповідає ідеальній моделі. Тому необхідно кожного разу встановлювати як мінімум параметр TD. Для його задання необхідно розмістити курсор миші на зображенні логічного елементу і натиснути праву кнопку миші. У випадваючому меню (рис. 3) обрати пункт Add New Attribute і вписати значення TD, як показано на рис. 1.

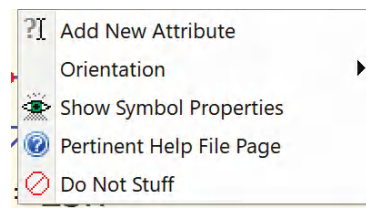


Рис. 3. Випадаюче меню з параметрами логічного елементу I

Розглянемо особливості T-тригера (рис. 4) програми QSPICE.

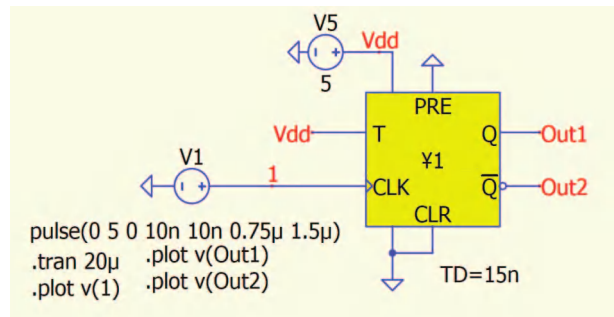


Рис. 4. Схема підключення тригера T-FLOP

Як впливає з рис. 4, це тригер RST зі входом дозволу роботи T. Вхід PRE відповідає входу S (встановлення у "1"), а вхід CLR – входу R (встановлення у "0"). Для роботи тригера у режимі ділення частоти на 2 необхідно на вхід T подати рівень логічної "1". Якщо на вході T встановити "0", то на виході Q встановлюється постійний рівень 5 В, а на інверсному виході – 0. Часові діаграми сигналів на вході та виході тригера наведені на рис. 5.

Використовуючи вхід mo;на формувати послідов-

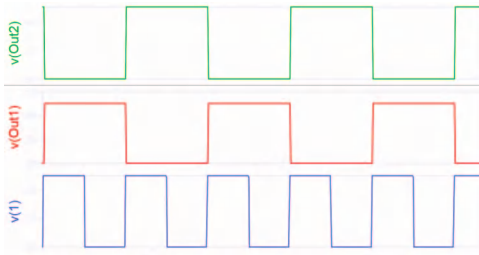


Рис. 5. Часові діаграми сигналів на вході та виході тригера

ності імпульсів з заданими часовими інтервалами. На рис. 6 наведена модель для ілюстрації роботи Т-тригера в режимі управління, а часові діаграми сигналів на входах та виході тригера – на рис. 7.

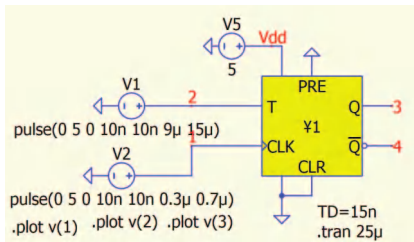


Рис. 6. Модель для ілюстрації роботи Т-тригера в режимі управління

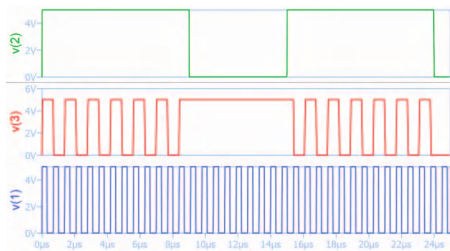


Рис. 7. Часові діаграми сигналів на входах та виході тригера в режимі управління

Розглянемо приклад використання ЦАП.

На рис. 8 наведена модель з використання 4-х розрядів вхідного коду, що формується генераторами імпульсів.

Напругу живлення та опорну формує генератор V6. Входи молодших розрядів підключені до загального проводу. На виході повинна формуватися східчаста напруга, що і підтверджують діаграми вихідного сигналу на рис. 9.

Для перевірки здатності ЦАП працювати з двополярною опорною напругою використано модель наведену на рис. 10.

Замість постійної напруги на вхід Ref подано синусоїдальний сигнал від генератора V7. На рис. 11 наведена часова діаграма сигналу на виході ЦАП, який в такому режимі виконує функцію цифрового потенціометра, що управляється 4-розрядним кодом. Тобто це модель перемножуючого ЦАП.

Більш детальну інформацію і приклади можна

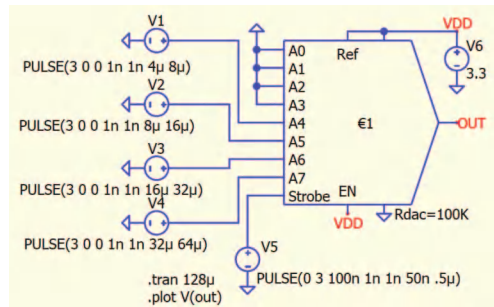


Рис. 8. Модель для ілюстрації роботи цифро-аналогового перетворювача

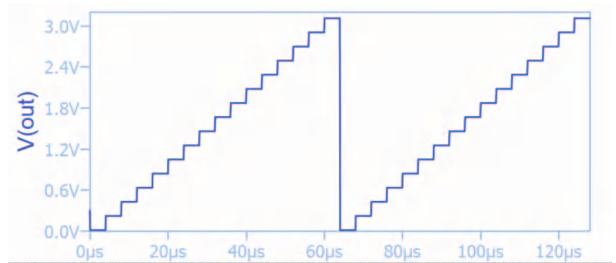


Рис. 9. Часова діаграма сигналу на виході ЦАП при постійній опорній напрузі

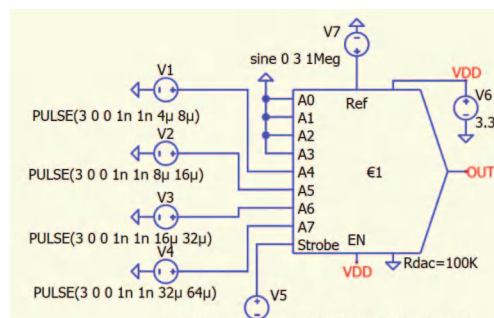


Рис. 10. Модель для перевірки роботи ЦАП з двополярною опорною напругою

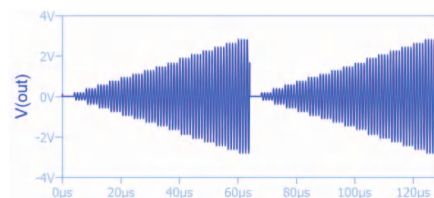


Рис. 11. часова діаграма сигналу на виході ЦАП що працює в режимі цифрового потенціометра

знайти на сайті компанії Qorvo [2], де є посилання як на власні ресурси, так і на зовнішні статті.

ЛІТЕРАТУРА

1. <https://www.qorvo.com/design-hub/blog/spicier-spice-free-fast-circuit-simulation-for-mixed-analog-and-digital>
2. <https://www.qorvo.com/design-hub/design-tools/interactive/qspice>